



POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica

Diseño y test de microprocesadores de arquitectura abierta

Profesores Javier Uceda y Andrés Otero

Índice

1. Resumen de objetivos
1. Líneas de Investigación
 - I. Tesis Doctoral 1: Procesadores multi-core heterogéneos con aceleración hardware dedicada
 - II. Tesis Doctoral 2: Diseño físico de procesadores e interfaces abiertas para integración en SiP
 - III. Tesis Doctoral 3: Procesadores abiertos, seguros y confiables para aplicaciones de Espacio
2. Casos de uso
3. Trabajos fin de carrera asociados (TFG)

RESUMEN DE OBJETIVOS



POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica

Diseño de **sistemas basados en procesadores RISC-V** para aplicaciones con **requisitos de seguridad y altas prestaciones** para procesamiento en el *Edge*.

Desarrollo de los componentes **hardware** y **software** necesarios para la implementación y puesta en marcha de estos procesadores, integrando **aceleradores de propósito específico**, orientados al cómputo, y para comunicación/interfaces.

Se estudiarán distintos tipos de **integración** de los elementos del sistema de cómputo con los desarrollados en otros paquetes de trabajo o por terceros, a nivel **SoC (System-on-Chip)** y **SiP (System in-Package)**.

Posibilidad de incorporar regiones de **lógica programable on-chip** (eFPGA o similar), empleando **IPs** abiertos (preferentemente).



LÍNEAS DE INVESTIGACIÓN



POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica

DISEÑO DE PROCESADORES ABIERTOS, MODULARES Y EXTENSIBLES CON ARQUITECTURA RISC-V

Se abordará el diseño de los procesadores en base a la especificación RISC-V, adoptando un enfoque modular que permita una mayor personalización en el proceso de implementación y despliegue.

DISEÑO E INTEGRACIÓN DE SOLUCIONES MULTI-CORE Y SOCS/SIPS BASADOS EN RISC-V

Se abordará el diseño de soluciones multinúcleo altamente personalizables, empleando para ello configuraciones simétricas o asimétricas, y cubriendo todos los aspectos relevantes para su integración en un SoC o SiP mediante interfaces estándar y abiertos.

DISEÑO DE SOLUCIONES DE ACELERACIÓN DE DOMINIO ESPECÍFICO SOBRE RISC-V

Se desarrollarán soluciones de dominio específico basadas en aceleración hardware. Se evaluarán distintos enfoques en cuanto a la estructura de los aceleradores (fijos y monolíticos, frente a flexibles y programables) y su acoplamiento con el procesador. Centrado en aplicaciones intensivas en cómputo como Radar.

MECANISMOS DE TOLERANCIA A FALLOS Y DE SEGURIDAD SOBRE RISC-V

Aplicación en los escenarios de espacio y defensa, pues son consideradas estratégicas en cuanto a que el diseño de ASICs a medida en este sector es muy relevante en términos de coste y consumo.



VALIDACIÓN, VERIFICACIÓN Y TEST DE PROCESADORES Y ACELERADORES BASADOS EN RISC-V

Validación, verificación y test de los componentes desarrollados, tanto procesadores como aceleradores, empleando herramientas de simulación RTL y entornos avanzados de emulación sobre FPGAs. Se incluirán estrategias de inyección de fallos.

DISEÑO FÍSICO DE SOCS/SIPS BASADOS EN RISC-V

Diseño físico (layout, simulaciones multinivel, obtención de métricas de rendimiento y consumo, tapeout) de las soluciones que vayan a verse implementadas como un ASIC.

DESARROLLO E INTEGRACIÓN DE SOFTWARE

Desarrollo y la integración de distintos componentes software, incluyendo sistemas operativos de propósito general y/o de tiempo real, que sean compatibles con las arquitecturas de procesadores desarrolladas y que permitan garantizar los requisitos específicos en cada una de sus posibles configuraciones.

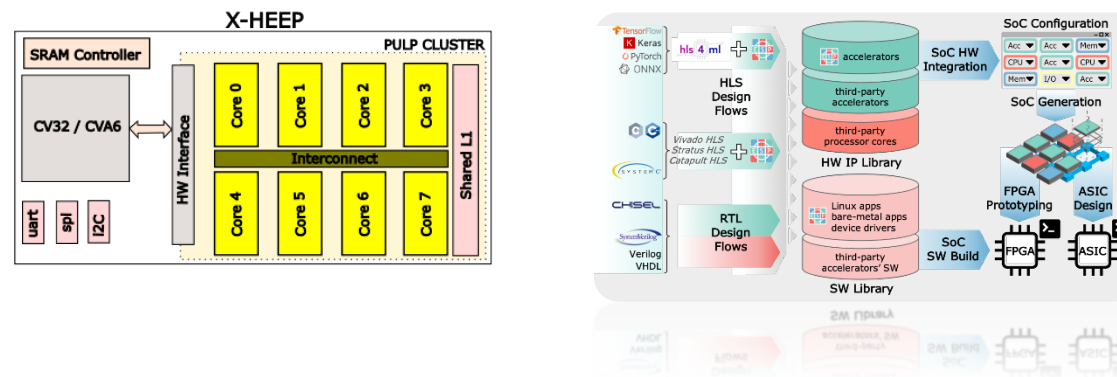
La tecnología desarrollada en estas líneas se validará en un entorno relevante alcanzando un nivel de madurez TRL5.



TESIS DOCTORAL 1

Procesadores multi-core heterogéneos con aceleración hardware dedicada

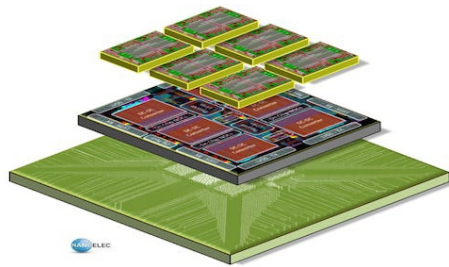
El principal objetivo de esta tesis es investigar y desarrollar plataformas abiertas de cómputo para el edge basadas en arquitecturas multi-core RISC-V y un conjunto de aceleradores hardware de propósito específico, adaptados a las particularidades del dominio de aplicación objetivo (p.ej. procesamiento digital de la señal para aplicaciones de radar).



TESIS DOCTORAL 2

Diseño físico de procesadores e interfaces abiertas para integración en SiP

En esta tesis doctoral desarrollaremos plataformas abiertas de cómputo basadas en chiplets, que permitirán su posterior integración en un SiP. Para ello, se abordará el diseño tanto de las distintas interfaces de los sistemas, IPs y procesadores, como su posterior implementación física. Se usarán soluciones estándar como Universal Chiplet Interconnect Express (UCIe).



TESIS DOCTORAL 3

Procesadores abiertos, seguros y confiables para aplicaciones de Espacio

El principal objetivo de esta tesis doctoral es investigar y desarrollar plataformas de cómputo basadas en procesadores RISC-V para sistemas críticos, con protección ante fallos y ataques externos. Se cubrirá todo el stack de cómputo, desde los componentes hardware como el procesador y sus aceleradores y periféricos, a los componentes software necesarios para garantizar una correcta operación del sistema en un entorno crítico.



CASOS DE USO



POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica

ALGUNAS IDEAS DE LA MEMORIA:

- **Dotar a plataformas/vehículos operando en diferentes dominios** como el espacial, aéreo, terrestre o naval, así como a los sensores y sistemas que éstos contienen (p.ej. radar, defensa electrónica o software-defined radio), de la capacidad de procesado suficiente para poder realizar de forma local y en tiempo real la gestión de enormes capacidades de datos adquiridos.
- **Procesado digital de señal en tiempo real**
- Los ambientes en los que suelen trabajar los equipos de Indra son muy exigentes en cuanto a requisitos de temperatura, condiciones climáticas y ambientales, por lo que es crítico que los nuevos procesadores RISC-V sean seguros y tengan tolerancia a fallos.



TRABAJOS FIN DE CARRERA ASOCIADOS



POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica

TFG Asociados con la Tesis 1



Se han ofertado un trabajo de fin de grado y un trabajo de fin de máster asociados a cada una de las tesis en marcha.

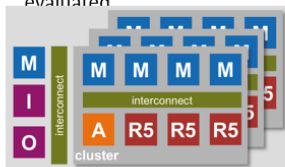
Código **S2024_XX** Carga lectiva **12 ECTS** Fecha **Octubre 2024**

Asociado a Contrato de Grado en el marco de la Cátedra. Trabajo Fin de Grado

FPGA prototyping of a RISC-V multiprocessor system for signal processing.

Descripción

Traditionally, digital signal processing has been carried out either on specially designed processors for this purpose (known as *DSPs*) or on specific accelerators (which implement a chain of algorithms in dedicated hardware). In this project, we aim to use a cluster of RISC-V processors based on FPGA as an alternative for deploying digital signal processing algorithms with some level of task or data parallelism. The possibility of using custom extensions of the instruction set for this purpose will also be evaluated.



Requirements: Digital design in VHDL, C Programming

Coordinador(es): **Andrés Otero / Pedro Lobo**
e-mail de contacto: joseandres.otero@upm.es



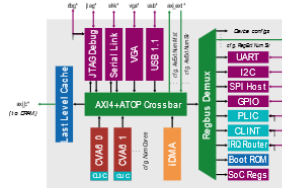
Código **S2024_XX** Carga lectiva **12 ECTS** Fecha **Octubre 2024**

Asociado a Contrato de Máster en el marco de la Cátedra. Trabajo Fin de Máster

Development of programming support for RISC-V multicore systems for space.

Descripción

The programming of multiprocessor systems, essential for efficiently deploying parallel algorithms in terms of computation and power consumption, has always been a very active field of study, with various associated challenges. This project aims to evaluate and develop the necessary libraries and mechanisms to manage parallel workloads on a RISC-V multiprocessor system, both under operating systems (Linux, RTEMS) and in bare-metal environments.



Requirements: Digital design in VHDL, C Programming

Coordinador(es): **Andrés Otero / Pedro Lobo**
e-mail de contacto: joseandres.otero@upm.es



TFG Asociados con la Tesis 2



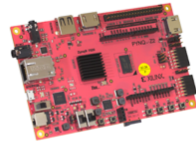
Código **S2024_XX** Carga lectiva **12 ECTS** Fecha **Septiembre 2024**

Asociado a Contrato de Grado en el marco de la Cátedra. Trabajo Fin de Grado

Development of interface IPs for chip-to-chip communications based on the UClE standard.

Descripción

The increasing complexity of current microelectronic designs (e.g., the use of multiprocessor systems with customized memory hierarchies and dedicated hardware accelerators) along with manufacturing technology limitations has significantly promoted the use of Systems in Package (*SiP*). These circuits consist of the integration of multiple chips (known as *chiplets*) within a single package. In this project, we aim to implement various hardware modules or IPs compatible with the UClE standard, specifically designed to enable high-speed communication between the different *chiplets* available in a *SiP*.



Requirements: Digital design in VHDL, C Programming

Coordinador(es): Andrés Otero / Alfonso Rodriguez
e-mail de contacto: joseandres.otero@upm.es



Código **S2024_XX** Carga lectiva **12 ECTS** Fecha **Septiembre 2024**

Asociado a Contrato de Máster en el marco de la Cátedra. Trabajo Fin de Máster

Development of a vector accelerator for signal processing acceleration in RADAR applications.

Descripción

RADAR technology, along with the digital signal processing systems associated with it, is fundamental in the aerospace and defense sectors. Currently, many of these algorithms have some AI component that requires the computation of multiple vector operations. This project aims to implement a specific hardware accelerator on an FPGA for the computation of various vector (and even matrix) operations. The possibility of implementing this accelerator as a memory-mapped peripheral or as a custom extension of a RISC-V processor's instruction set will also be evaluated.



Requirements: Digital design in VHDL, C Programming

Coordinador(es): Andrés Otero / Alfonso Rodriguez
e-mail de contacto: joseandres.otero@upm.es



TFG Asociados con la Tesis 3



Código **S2024_XX** Carga lectiva **12 ECTS** Fecha **Septiembre 2024**

Asociado a Contrato de Grado en el marco de la Cátedra. Trabajo Fin de Grado

Development of a fault injection mechanism based on dynamic reconfiguration for RISC-V systems.

Descripción

Digital designs that operate in space or other critical environments are typically subjected to radiation levels that can cause malfunctions. In these situations, the designs are "hardened" using design and/or implementation techniques, and they require additional testing and verification campaigns.

This project aims to develop a fault injection system for RISC-V processor systems on FPGAs. The system must be capable of modifying specific bits in the FPGA's configuration memory, thereby emulating the impact of high-energy particles on the internal logic.



Cátedra UPM-INDRA en
Microelectrónica
indra



RISC-V®



Requirements: Digital design in VHDL, C Programming

Coordinador(es): **Alfonso Rodríguez / Luis Waucquez**
e-mail de contacto: alfonso.rodriguez@upm.es



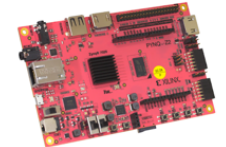
Código **S2024_XX** Carga lectiva **12 ECTS** Fecha **Septiembre 2024**

Asociado a Contrato de Máster en el marco de la Cátedra. Trabajo Fin de Máster

Evaluation of injection mechanisms and fault tolerance for RISC-V-based systems-on-chip in space applications.

Descripción

Digital designs operating in space or other critical environments are typically subjected to radiation levels that can cause functional errors. In these situations, designs are "hardened" using design and/or implementation techniques and require additional testing and verification campaigns. This project aims to evaluate various fault tolerance mechanisms for systems with multiple RISC-V processors (e.g., modular redundancy, lockstep, ECC codes) implemented on FPGA devices, using techniques for emulating functional and/or structural faults.



Cátedra UPM-INDRA en
Microelectrónica
indra



RISC-V®



Requirements: Digital design in VHDL, C Programming

Coordinador(es): **Alfonso Rodríguez / Luis Waucquez**
e-mail de contacto: alfonso.rodriguez@upm.es





POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica



www.catedrachip.upm.es



comunidad.microelectronica@upm.es



[cátedra-chip-upm-indra](https://www.linkedin.com/company/catedra-chip-upm-indra)



Financiado por
la Unión Europea
NextGenerationEU



GOBIERNO
DE ESPAÑA
MINISTERIO
PARA LA TRANSFORMACIÓN DIGITAL
Y DE LA FUNCIÓN PÚBLICA



Plan de Recuperación,
Transformación
y Resiliencia

España | digital ²⁰26



PERTE
Chip



POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID