



POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID

INDRA

Cátedra UPM - Indra en Microelectrónica

Diseño y prueba de ASICs de RF y señal mixta para heterointegración

Profesor Jesús Grajal de la Fuente

Índice

1. Resumen de objetivos
2. Líneas de Investigación
 - I. Wideband digital tile
 - II. CMOS THz Camera (Option 1)
3. Plan de trabajo



UNIVERSIDAD
POLITÉCNICA
DE MADRID



RESUMEN DE OBJETIVOS



POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica

Explorar **SOLUCIONES CIRCUITALES** con tecnologías de silicio y de compuestos III-V para implementar módulos de transmisión-recepción (TRM), elementos esenciales en el diseño de phased-arrays, sistemas electrónicos fundamentales en comunicaciones (5G, 6G, MIMO masivo...) y en los sistemas AESA (Active Electronically Scanned Array)

- Diseño de ASICs con tecnologías III-V y CMOS
- Desarrollo y optimización de metodologías y herramientas de heterointegración



LÍNEAS DE INVESTIGACIÓN



POLITÉCNICA

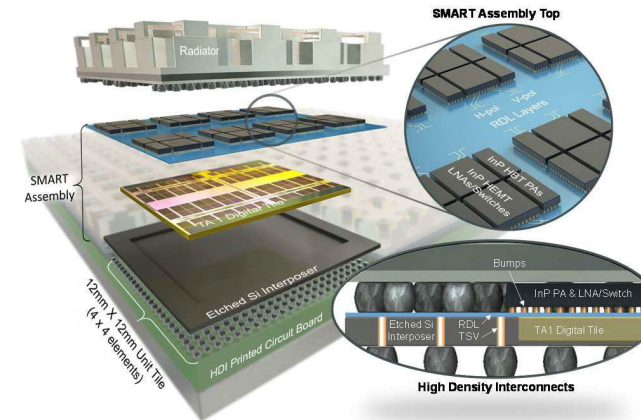
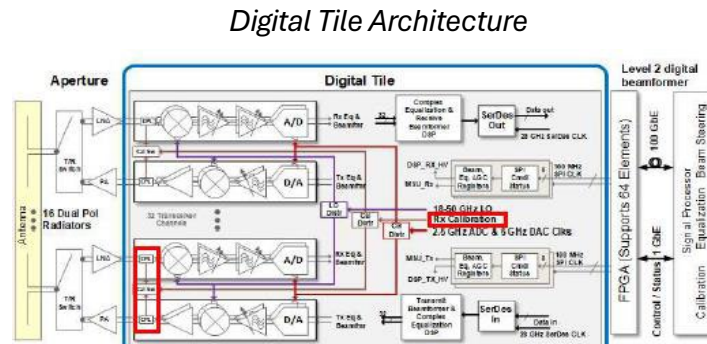
UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica

Target I: Wideband digital tile

- Design of ASICs using III-V and/or CMOS
- Development of methodologies and tools for heterointegration

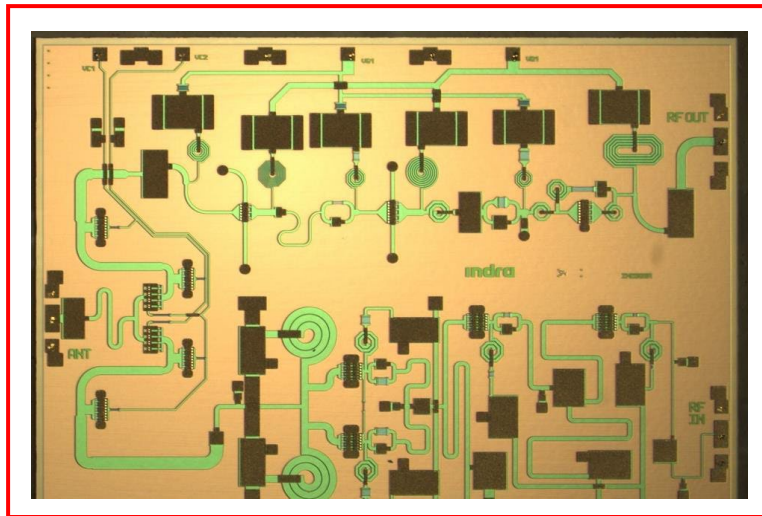
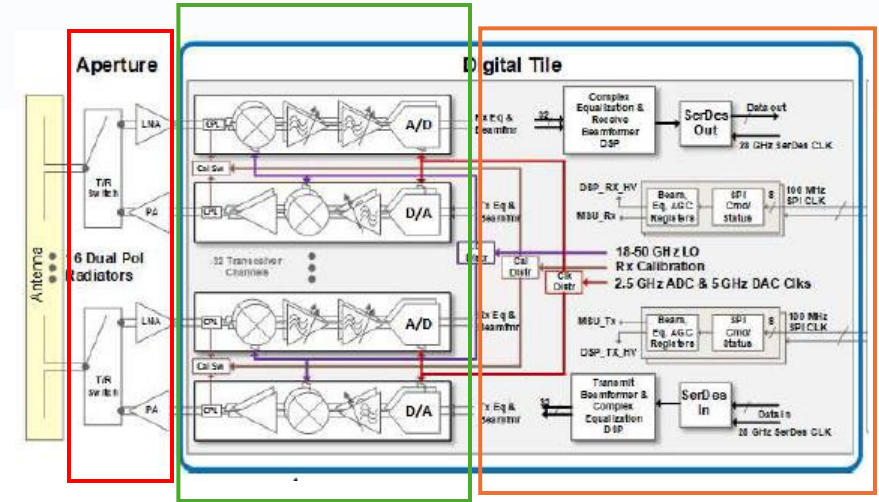


Challenges

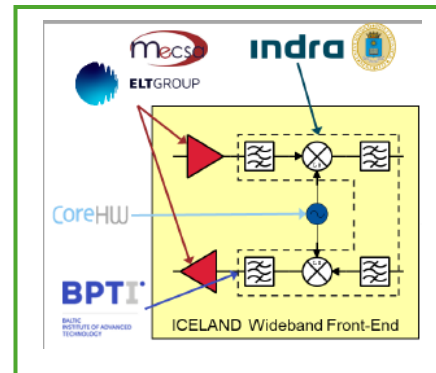
- RF & Digital tiles. Different technologies: III-V (GaN, GaAs, InP) and Si
- Heterointegration via interposers: 3D or 2.5 tiles
- Thermal management
- Scaling

Target I: Wideband digital tile

- Design of ASICs using III-V and/or CMOS
- Development of methodologies and tools for heterointegration



Eurigami: 6-18 GaN TRM

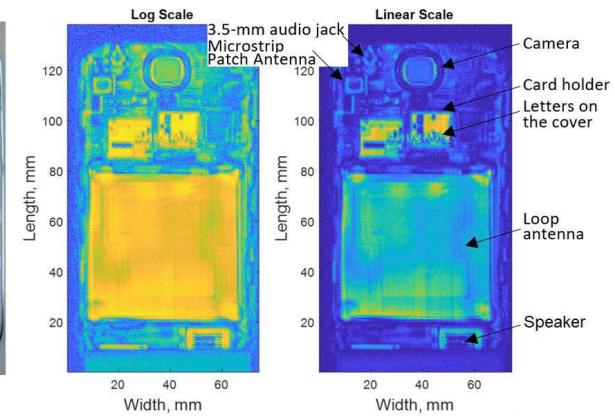
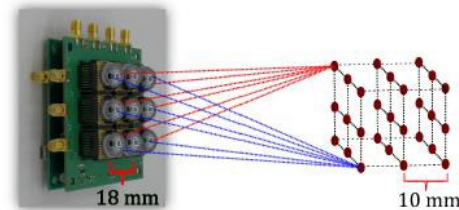
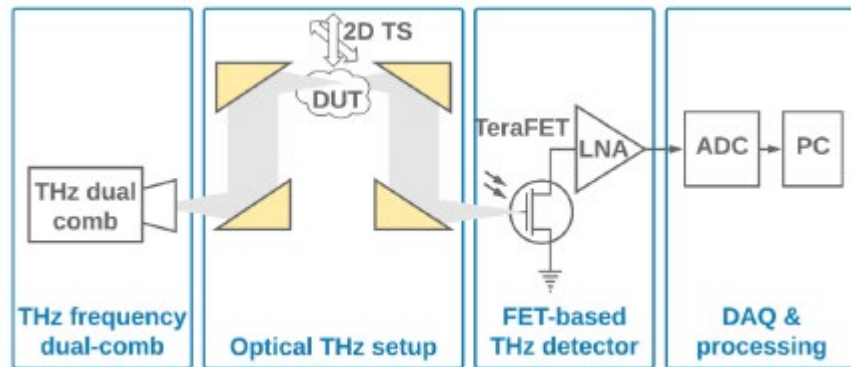


Iceland: 6-18 GaN TRM

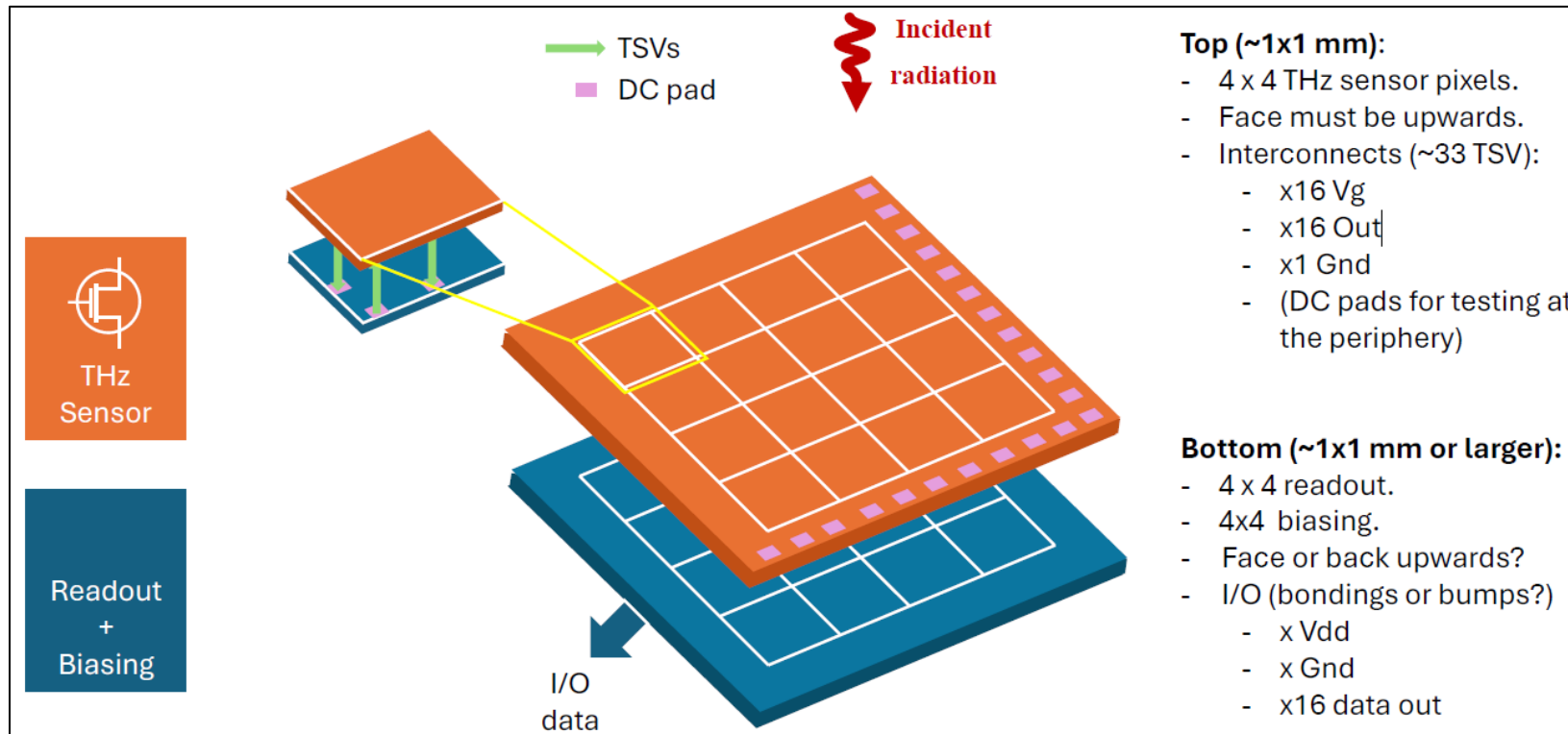
*Target II:
 2.5D & 3D
 Heterogeneous
 Integration on CMOS*

Target II : CMOS THz Camera

- Design of ASICs CMOS
- Development of methodologies and tools for heterointegration



Target II : CMOS THz Camera (Option 1)



Target II : CMOS THz Camera (Option 1)

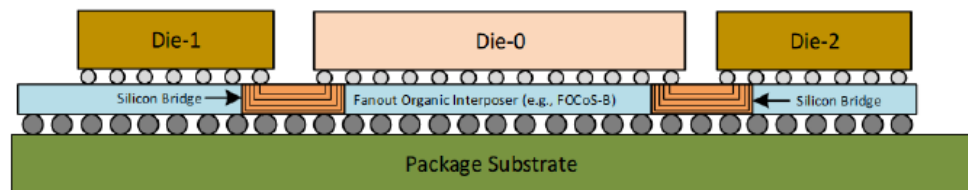
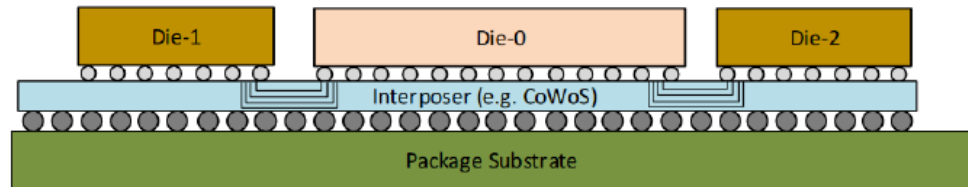
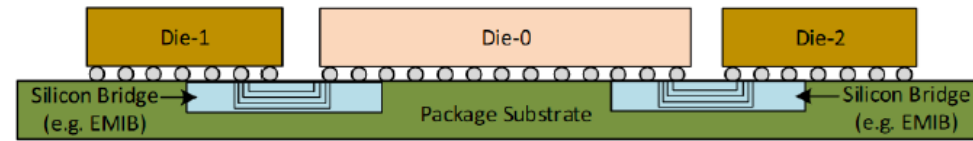
Technology: 2.5D Integration

Advantages:

- Shorter connections
- Lower power

Disadvantages

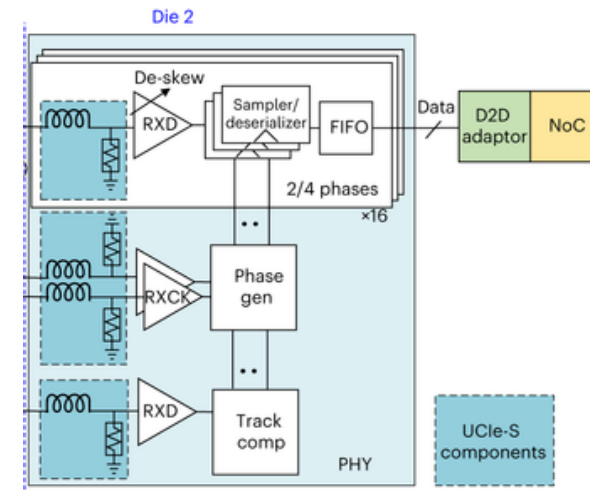
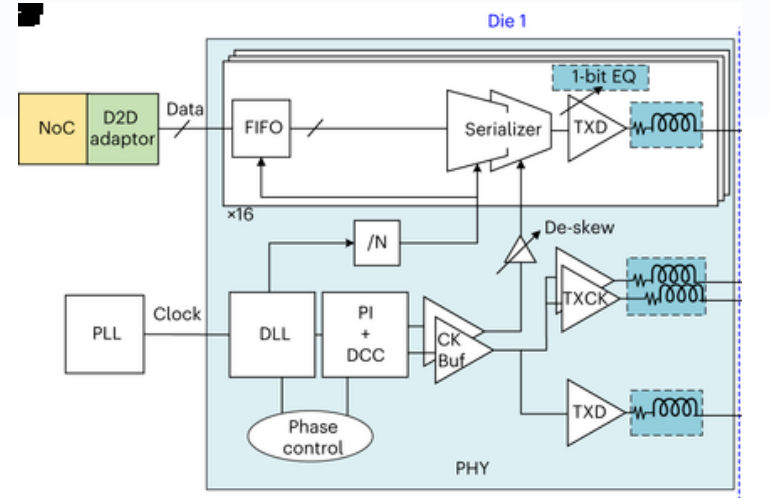
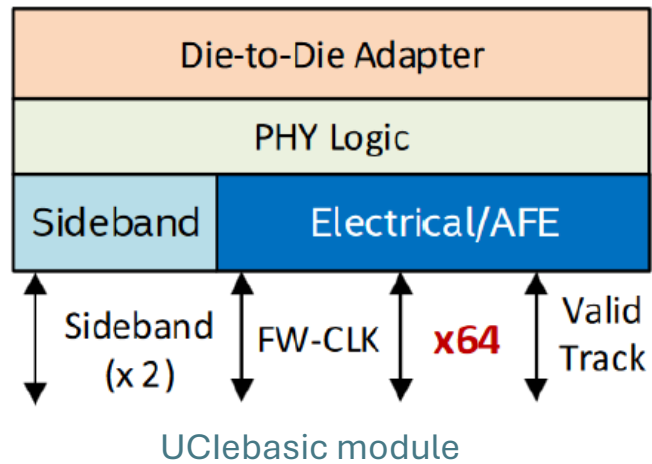
- Standardization
- Complex circuits
- Harder to integrate



Advanced packaging options

Target II : CMOS THz Camera (Option 1)

Standarization: UClé



UCléTransmitter and receiver

Target II : CMOS THz Camera (Option 1)

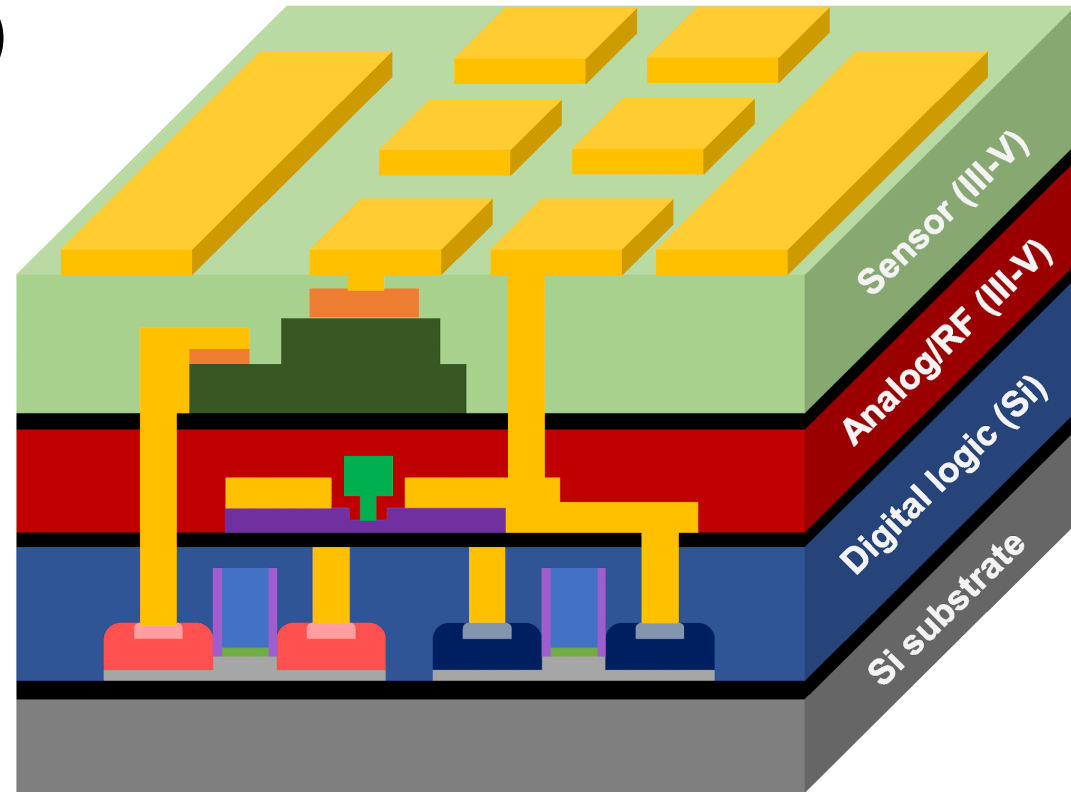
Standarization: UCIe

Advantages:

- Smaller footprint
- Shorter interconnects

Disadvantages

- Heat dissipation
- Structural stress (CTE)
- Cost



3D integrated system

PLAN DE TRABAJO

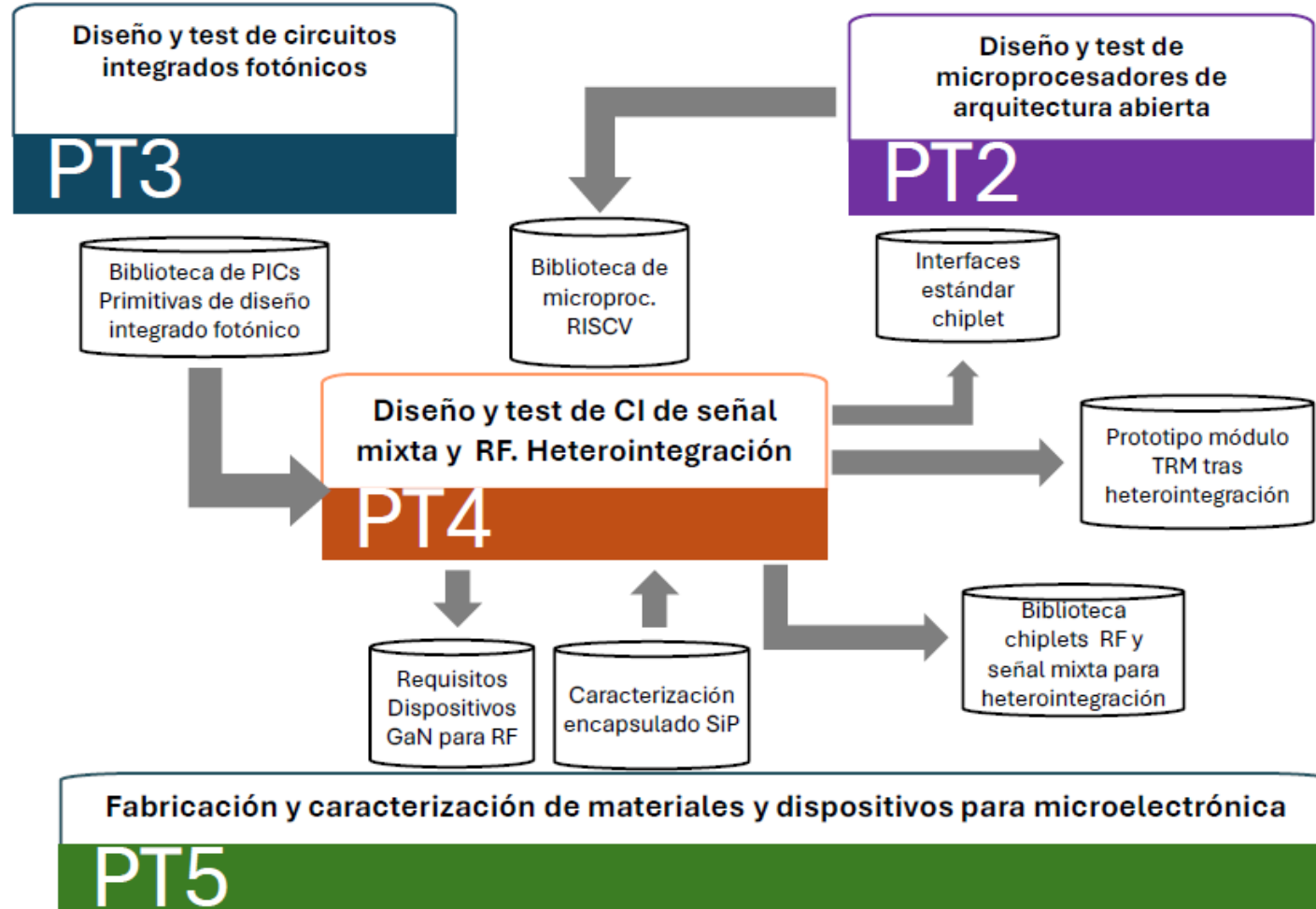


POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica





POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica



www.catedrachip.upm.es



comunidad.microelectronica@upm.es



[cátedra-chip-upm-indra](https://www.linkedin.com/company/catedra-chip-upm-indra)



Financiado por
la Unión Europea
NextGenerationEU



GOBIERNO
DE ESPAÑA
MINISTERIO
PARA LA TRANSFORMACIÓN DIGITAL
Y DE LA FUNCIÓN PÚBLICA



Plan de Recuperación,
Transformación
y Resiliencia

España | digital ²⁰26



PERTE
Chip



POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID