



POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica

Diseño y prueba de circuitos fotónicos integrados

Profesor Ignacio Esquivias

ÍNDICE

1. Resumen de objetivos
2. Líneas de Investigación
 - I. Circuitos integrados fotónicos para conformado de haz
 - II. Exploración de aplicaciones emergentes de las tecnologías fotónicas
3. Plan de trabajo

RESUMEN DE OBJETIVOS



POLITÉCNICA

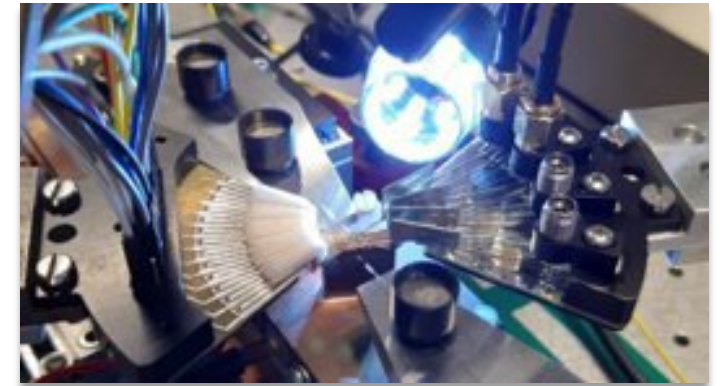
UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica

Explorar la aplicación de la fotónica integrada en los sistemas comerciales desarrollados por Indra

- Línea de investigación 1: Circuitos integrados fotónicos para conformado de haz (CEMDATIC)
- Línea de investigación 2: Exploración de aplicaciones emergentes de las tecnologías fotónicas (CEMDATIC, ISOM, IES)



LÍNEAS DE INVESTIGACIÓN



POLITÉCNICA

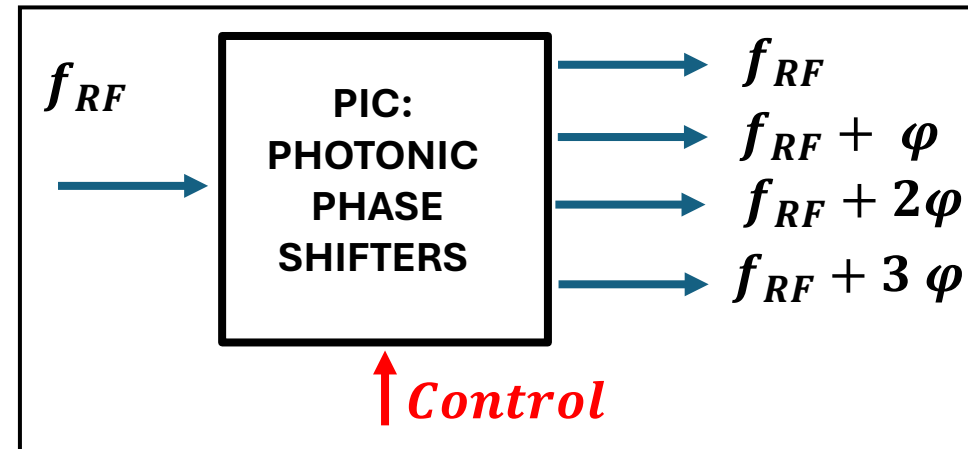
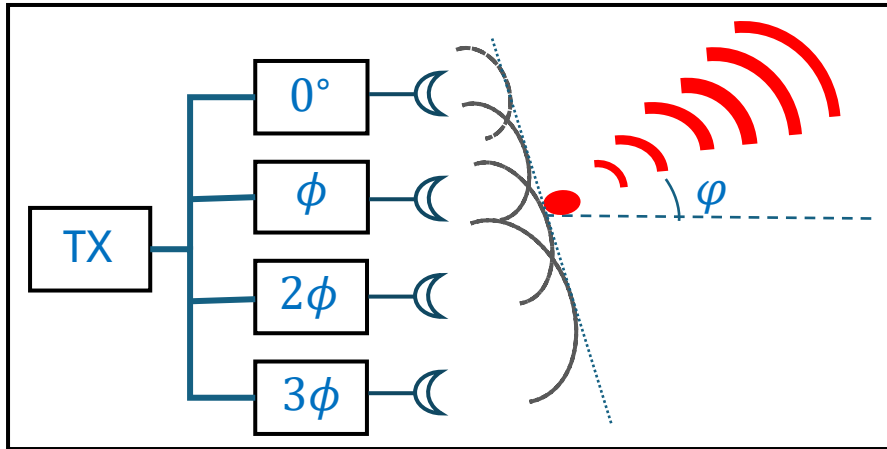
UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica

LÍNEA DE INVESTIGACIÓN 1

Circuitos integrados fotónicos para conformado de haz



Diseño, fabricación (externa), testing, encapsulado, diseño electrónica y fabricación subsistema (TRL5)



LÍNEA DE INVESTIGACIÓN 2

Exploración de aplicaciones emergentes de las tecnologías fotónicas

- 1) Metamateriales para invisibilidad
- 2) Encapsulado y caracterización de circuitos integrados fotónicos para aplicaciones RF
- 3) Transceptores ópticos
- 4) Conversores Analógico/Digital (ADCs) fotónicos
- 5) Co-encapsulado fotónico y microelectrónico
- 6) Generación y distribución fotónica de osciladores locales
- 7) Convertidores fotovoltaicos avanzados (telealimentación, energy harvesting y células flexibles para espacio)
- 8) Nuevas tecnologías de detección y emisión de infrarrojo
- 9) Componentes ópticos basados en semiconductores plasmónicos y metamateriales



PLAN DE TRABAJO



POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica

TAREAS

- Formación inicial del doctorando y análisis de los requisitos de la aplicación
- Diseño del PIC del primer RUN y envío a fabricación
- Formación en encapsulado y diseño electrónico para subsistema
- Caracterización del PIC del primer RUN
- Diseño del PIC del segundo RUN y envío a fabricación
- Encapsulado chip del primer diseño, montaje subsistema y pruebas en laboratorio
- Caracterización del PIC del segundo RUN
- Encapsulado chip del segundo diseño, montaje subsistema y pruebas en ambiente relevante
- Escritura de la memoria de tesis





POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID



Cátedra UPM - Indra en Microelectrónica



www.catedrachip.upm.es



comunidad.microelectronica@upm.es



[cátedra-chip-upm-indra](https://www.linkedin.com/company/catedra-chip-upm-indra)



Financiado por
la Unión Europea
NextGenerationEU



GOBIERNO
DE ESPAÑA
MINISTERIO
PARA LA TRANSFORMACIÓN DIGITAL
Y DE LA FUNCIÓN PÚBLICA



Plan de Recuperación,
Transformación
y Resiliencia

España | digital ²⁰/₂₆



PERTE
Chip



POLITÉCNICA

UNIVERSIDAD
POLITÉCNICA
DE MADRID